

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3039425号
(P3039425)

(45) 発行日 平成12年5月8日 (2000.5.8)

(24) 登録日 平成12年3月3日 (2000.3.3)

(51) Int.Cl. ⁷	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
H 0 1 B 3/12	3 0 1	H 0 1 B 3/12	3 0 1
	3 1 8		3 1 8 Z
H 0 1 L 21/822		H 0 1 L 27/04	C
21/8242		27/10	6 2 1 Z

請求項の数 7 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平9-47872

(22) 出願日 平成9年3月3日 (1997.3.3)

(65) 公開番号 特開平10-242407

(43) 公開日 平成10年9月11日 (1998.9.11)

審査請求日 平成9年3月3日 (1997.3.3)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 前島 幸彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

審査官 大日方 和幸

(56) 参考文献 特開 平10-41478 (J P, A)

(58) 調査した分野 (Int.Cl.⁷, DB名)

H01L 21/8229

H01L 21/8239 - 21/8247

H01L 27/10 - 27/115

(54) 【発明の名称】 容量素子及びその製造方法

(57) 【特許請求の範囲】

【請求項1】 コンタクトプラグ上に容量下層間膜を介して上部電極、誘電体層、下部電極からなる容量を有し、かつ前記コンタクトプラグと一電極とが電氣的に接続されている容量素子において、前記容量下層間膜が絶縁性材料よりなり、前記コンタクトプラグが、少なくとも長さもしくは幅のいずれかにおいて下部電極より大きいことを特徴とする容量素子。

【請求項2】 コンタクトプラグ上にコンタクトパッドおよび容量下層間膜を介して上部電極、誘電体層、下部電極からなる容量を有し、かつ前記コンタクトパッドと一電極とが電氣的に接続されている容量素子において、前記容量下層間膜が絶縁性材料よりなり、前記コンタクトパッドが、少なくとも長さもしくは幅のいずれかにおいて下部電極より大きいことを特徴とする容量素子。

2
【請求項3】 前記下部電極の側面が少なくとも一部において前記コンタクトプラグもしくは前記コンタクトパッドと電氣的に接続されていることを特徴とする請求項1または請求項2に記載の容量素子。

【請求項4】 前記誘電体層が $Pb(Zr_{1-x}Ti_x)O_3$ 、 $SrBi_{1/2}Ta_{1/2}O_9$ 、 $SrTiO_3$ 、 $(Ba_{1-x}Sr_x)TiO_3$ より選ばれたいずれかの材料よりなることを特徴とする請求項1ないし3記載の容量素子。

10 【請求項5】 前記コンタクトプラグによって導通がとられている下地半導体基板には集積回路が形成されている事を特徴とする請求項1ないし4記載の容量素子。

【請求項6】 コンタクトプラグもしくはコンタクトパッド中に形成されたコンタクト部上に、容量下層間膜、下部電極および誘電体層を積層した後所望の形状に加工して前記コンタクト部を部分的に露出させる第一の工程

3

と、第一の工程の後に金属材料を全面に形成し、前記金属材料を異方性エッチングすることにより少なくとも前記下部電極の側壁部に金属材料を残存させる第二の工程を含むことを特徴とする容量素子の製造方法。

【請求項7】前記金属材料を有機Al材料を用いたCVDで形成することを特徴とする請求項6記載の容量の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細化に適した強誘電体或いは高誘電体等の誘電体を用いる容量素子の構造、及びその製造方法に関する。

【0002】

【従来の技術】近年、強誘電体を記憶容量用絶縁膜とした不揮発性メモリやDRAMの微細化に伴う記憶容量の絶対値低減を補うために高誘電率膜を容量用絶縁膜としたメモリの開発がさかんである。これらの場合、強誘電体や高誘電体をシリコンのLSIプロセスに適用する事が大きな課題である。強誘電体を用いた不揮発性メモリと高誘電体を用いたDRAMはその基本的構造は似通っているため、以下では前者について、その従来技術を紹介する。

【0003】半導体と強誘電体、例えば、チタン酸ジルコン酸($Pb(Zr_xTi_{1-x})O_3$ 、以下、PZTと略称)を用いた容量を組み合わせたいわゆる強誘電体メモリは強誘電体の残留分極を利用して“1”、“0”を記憶する。この情報が電源を切断しても保持されるために、不揮発性メモリとして動作する事が知られている。この基本的な構成として図5にその単位セルの回路図を示す。この場合は、単位セルは一つのセルトランジスタ(通常nチャネルのMOSFET)Trと強誘電体容量Cfを組み合わせた構成となっている。ビット線(BLと略)、ワード線(WLと略)、プレート線(PLと略)に印加する電圧を制御する事によってTrのオンオフ、及びCfに印可する電圧の極性を変化させる事によりCfの残留分極の正負を決める。

【0004】この様に強誘電体メモリの単位セルはセルトランジスタTrと強誘電体容量Cfからなっており、特にその強誘電体容量Cfの構造はその集積度を定める大きな要因となっている。その例としては例えば、1994年インターナショナルエレクトロニクスミーティング(International Electron Device Meeting)におけるテクニカルダイジェスト(Technical Digest)843頁に紹介されている。この場合の容量の構造断面図を図6に示す。図において、1はシリコンp型層、2は同n⁺層、3は下地層間絶縁膜(SiO_2)、4はポリシリコンプラグ、5はバリア層a(TiN)、6はバリア層b(Ti)、7は強誘電体下部電極(Pt)、8は強誘電体(PZT)、9は強誘電体上部電極、10は容

4

量上層間絶縁膜(SiO_2)である。この例においては、ポリシリコンプラグ4上に下部電極、強誘電体、上部電極から構成される強誘電体容量が形成され、下地のシリコン基板に形成されたセルトランジスタのソース・ドレインとなるn⁺層2と強誘電体容量の下部電極7がポリシリコンプラグ4で電気的に接続される。この構造ではセルトランジスタと強誘電体容量が積層して形成されるため、メモリの集積化には非常に有利である。この構造は高誘電体を用いたDRAMについても同様であり、この場合には上記強誘電体(PZT)の代わりに、高誘電体として例えば、 $SrTiO_3$ 、($Ba_{1-x}Sr_x$) TiO_3 が用いられ、他の構成要素は全く同様である。

【0005】

【発明が解決しようとする課題】図6に示す容量の構造の問題点を以下に述べる。

【0006】この構造を製造する場合、まずポリシリコンプラグ4上にバリア層b(Ti)6、バリア層a(TiN)5、下部電極7を成膜した後にPZT8を成膜する。PZTは一般に600℃程度の温度の酸素雰囲気中で成膜する。上記バリア層a、bの役割はこの際に酸素が下部電極(Pt)中を拡散してその下のポリシリコンプラグ4を酸化する事を防止する事である。すなわち、ポリシリコンプラグが酸化した場合には、シリコンの酸化物は絶縁物であるため下部電極とポリシリコンプラグとの導通がとれない。そのため、バリア層a、bを介在させてこれを防いでいるわけである。バリア層a(TiN)/b(Ti)の積層構造は600℃以下の温度ではポリシリコンプラグへの酸素の拡散を防止するのに有効であると共に、この積層構造自身も酸化される事は無い。従って、TiN/Ti積層構造は600℃以下で強誘電体膜や高誘電体膜をポリシリコン上に成膜するならばそのバリア膜として有効であり、下部電極7とn⁺層2との導通がとれる。

【0007】PZTの場合には600℃以下での成膜が可能であるが、PZT以外の強誘電体、例えば $SrBi_2Ta_2O_9$ を用いた場合、その成膜は800℃の酸素雰囲気中で行うのが通常である。この場合、バリア層a(TiN)5、バリア層b(Ti)6は完全に酸化され、これらの酸化物は絶縁物であると同時に、ポリシリコンプラグまで酸化は進行し、下部電極とn⁺層の導通は全く得る事ができない。

【0008】また、一般に成膜温度が低いPZTの様に600℃以下で成膜した場合でも、TiN層の酸化は少ないながらも生じる。例えば容量サイズが2μm程度に微細になり、集積規模が増大した場合、特にこうした酸化はウェハ面内で一様に生じるわけではなく部分的に生じる場合が多く、このためのコンタクト不良はビット歩留まり不良として生じてくる。従って、バリア層、ポリシリコンプラグの酸化は強誘電体、高誘電体を用いたL

SI、特に半導体メモリの製造プロセスでは深刻な問題となる。

【0009】これを解決するにはここで用いたバリア層をより耐熱性の高い他の材料に変える事が必要となるが、少なくとも600℃よりも高い温度でも酸化されず、酸素を透過させない材料は現在までに見つかっていないのが現状である。

【0010】本発明の目的は、ポリシリコンプラグ等からなるコンタクトプラグ上に強誘電体或いは高誘電体等からなる容量を、コンタクトプラグとの導通不良を生ずることなしに形成できる構造と、その製造方法を提供する事にある。

【0011】

【課題を解決するための手段】その問題を解決するため、本発明の容量素子においては、コンタクトプラグ上に容量下層間膜を介して上部電極、誘電体層、下部電極からなる容量を有し、かつ前記コンタクトプラグと一電極とが電氣的に接続されている容量素子において、前記容量下層間膜が絶縁性材料よりなることを特徴とする。具体的には、下部電極の側面の少なくとも一部において前記コンタクトプラグと電氣的に接続することにより従来下部電極下に設けられたバリア層が不要となる。ここで、コンタクト部は半導体下地基板からのポリシリコンプラグを介して行っても良いし、プラグの上にコンタクトパッドを更に介して行っても良い。従って、ポリシリコンプラグ上の酸素拡散防止のためのバリア膜は必要なく、 n^+ 層と下部電極のコンタクトがとれる。ここで、下部電極等の側面とコンタクトを取る場合にはコンタクトプラグもしくはコンタクトパッドが、少なくとも長さもしくは幅のいずれかにおいて下部電極より大きくすることにより接続を容易にすることができる。これらの構造において用いられる誘電体層としては、 $Pb(Zr_{1-x}Ti_x)O_3$ 、 $SrBi_{1/2}Ta_{1/2}O_9$ 、 $SrTiO_3$ 、 $(Ba_{1-x}Sr_x)TiO_3$ 等の従来より用いられる強誘電体材料があげられる。

【0012】またこれらの製造方法としては、コンタクトプラグもしくはコンタクトパッド中に形成されたコンタクト部上に、容量下層間膜、下部電極および誘電体層を積層した後所望の形状に加工して前記コンタクト部を部分的に露出させる第一の工程と、第一の工程の後に金属材料を全面に形成し、前記金属材料を異方性エッチングすることにより少なくとも前記下部電極の側壁部に金属材料を残存させる第二の工程よりなる。特に前記金属材料を有機Al材料を用いたCVDで形成することが側壁部への金属部の形成及び強誘電体の特性に悪影響を与えない低温成膜が可能であることから好ましい方法であるといえる。具体的には、半導体下地基板上に容量下層間膜を形成する。次に下部電極、強誘電体を成膜した後、強誘電体、下部電極、容量下層間膜を一括して加工し、半導体下地基板中のコンタクト部が露出した状態に

する。この後に金属配線をMOCVDにより成膜した後これを異方性エッチングにより全面エッチバックする。この時、加工された強誘電体、下部電極、容量下層間膜の側壁部の少なくとも一部に金属配線が残り、下部電極とコンタクト部との間の導通をとることが可能となる。

【0013】

【発明の実施の形態】次に、本発明の実施の形態を図面を参照して詳細に説明する。

【0014】本発明の強誘電体容量の構造断面図を図1に示す。図において、1はシリコンp型層、2は同 n^+ 層、3は下地層間絶縁膜、4はポリシリコンプラグ、8は強誘電体、9は強誘電体上部電極、10は容量上層間絶縁膜、11はコンタクトパッド、12は容量下層間絶縁膜、13は金属配線、14は強誘電体下部電極a、15は下部電極bである。

【0015】また、本発明の強誘電体容量の製造方法の工程断面図を図2(a)～(f)に示す。 n^+ 層2上にポリシリコンプラグ4、コンタクトパッド11を形成した構造上に容量下層間絶縁膜12、下部電極b15、下部電極a14、強誘電体8を順次成膜する(図2(a))。次に、強誘電体8、下部電極a14、下部電極b15、容量下層間膜12を一括して加工し、コンタクトパッド11が露出した状態にする(図2(b))。全面に金属配線(A1等)を成膜した(図2(c))。後、反応性イオンエッチング等の方法で金属配線を全面エッチバックし、図の様に容量の側壁部にのみ金属配線が残った状態にする(図2(d))。次に、上部電極9を形成し(図2(e))、さらにこの上に容量上層間膜10を成膜する(図2(f))。

【0016】

【実施例】次に、本発明の実施例を図面を参照して詳細に説明する。

【0017】(実施例1)図1において、1はシリコンp型層、2は同 n^+ 層、3は下地層間絶縁膜(SiO₂)、4はポリシリコンプラグ、8は強誘電体(PZT)、9は強誘電体上部電極、10は容量上層間絶縁膜(SiO₂)、11はコンタクトパッド(WSi₂)、12は容量下層間絶縁膜(SiO₂)、13は金属配線(A1)、14は強誘電体下部電極a(Pt)、15は下部電極b(Ti)であるが、 n^+ 層2と下部電極14、15との電氣的接続は容量側壁の金属配線(A1)、13とコンタクトパッド(WSi₂)11、ポリシリコンプラグ4を介してなされている。これらの配線は後でその製造方法について述べるが、製造工程においての酸化等の問題が無い、コンタクト不良を生ずる事が少ない。また、セルトランジスタ上にポリシリコンプラグを介して強誘電体容量を形成しているため、強誘電体容量を用いた半導体メモリの高集積化にも有利である。

【0018】次に、本発明の強誘電体容量の製造方法に

ついて述べる。図2(a)～(f)は本発明の強誘電体容量の一実施例の製造工程断面図である。 n^+ 層2上にポリシリコンプラグ4、コンタクトパッド11を形成した構造上に容量下層間絶縁膜12、下部電極15、14、強誘電体8を順次成膜する(図2(a))。この際、下部電極15を成膜する前の容量下層間膜(SiO₂)12は化学的機械研磨等の方法で平坦化され、コンタクトパッドは200nm、コンタクトパッド上の容量下層間膜12の厚さは500nm程度となっている。下部電極a14はPt(200nm)であり、下部電極b15はTi(50nm)、PZTの膜厚は200nmである。Ptの下にTiを入れるのは、Ptと容量下層間膜との密着性を良くするためである。また、平坦化するのは、強誘電体8の膜質が凹凸のある基板上では悪くなるからである。

【0019】次に、強誘電体8、下部電極14、15、容量下層間膜12を一括して加工し、コンタクトパッド11が露出した状態にする(図2(b))。これは、フォトリソをマスクとしてCF₄等のガスを用いた反応性イオンエッチング、或いはArを用いたイオンミリング等の方法により可能である。また、特に反応性イオンエッチングの場合にはコンタクトパッド(WSi₂)12が露出した際の発光分析によりエッチングの終点検出が容易である。

【0020】次に、全面に金属配線(A1)を成膜する(図2(c))。この際のA1は、例えばジメチルアルミニウムハイドライド(DMAH)を用いたMOCVDで200℃程度の温度で成膜される。MOCVD等の気相化学反応を用いた成膜方法では良好な段差被覆性を有するため、容量段差の側壁部にも十分にA1が成膜される。

【0021】次にCl₂を用いた反応性イオンエッチング等の方法で金属配線(A1)を全面エッチバックする(図2(d))。この時、反応性イオンエッチングは異方性エッチングであるため図の様に容量の側壁部にのみA1が残った状態にする事が可能である。この側壁部の金属配線により下部電極14、15とコンタクトパッド11が電気的に接続される。

【0022】次に、上部電極(Pt:200nm程度)9を形成する(図2(e))。これは、Ptを全面に成膜した後に、フォトリソをマスクとしたイオンミリングにより成される(図は省略)。先に金属配線(A1)を全面に成膜した際にPZTとA1が反応してPZTの強誘電体特性に悪影響を与える事もあるが、この際のイオンミリングによりこの反応層も大部分は除去される。

【0023】最後にさらにこの上に容量上層間膜(SiO₂)10を成膜する(図2(f))。これには例えば、強誘電体特性に悪影響を与えない、例えばO₃(オゾン)とTEOS(テトラエトキシシラン)を用いたCVDによるSiO₂が用いられる。

【0024】以上の製造方法によれば本発明の構造の強誘電体容量が製造できるが、強誘電体容量を成膜する際にはまだ下部電極と n^+ 層(或いはポリシリコンプラグ)との電気的接続はできておらず、強誘電体容量を加工した後に側壁の金属配線で接続をとるため、従来の様に、電極材料の酸化によるコンタクト不良は生じない。

【0025】例えば、この構造においても容量下部電極bのTi層はPZT成膜時に酸化される事は従来例と全く同様であるが、ポリシリコンプラグ4との電気的接続は側壁のA1によるため、これが問題になる事は全く無い。金属材料の側壁配線が形成された後には強誘電体容量上部電極の形成と容量上層間膜の形成があるが、これらはいずれも400℃以下の温度で行われるため、これによるコンタクトへの悪影響は生じない。

【0026】この例では金属配線にA1を用いたが、他の材料、例えばW、Cu、ポリシリコン等で、強誘電体特性を劣化させる事のない成膜方法があればこれも用いる事ができるのは勿論である。また、ポリシリコンプラグを用いているが、これも他の材料、例えばW等が同様に使用可能である。下地シリコン層に形成されたLSI回路の配線が少ないために強誘電体容量と下地シリコン層との距離を小さくできる場合には、特にこのプラグ或いはコンタクトパッドは必要無く、基板と直接A1配線でコンタクトを得る事も可能である。

【0027】また、本実施例では強誘電体の下部電極とコンタクトパッドとの間に容量下酸化膜が介してあるが、下部電極下が平坦化されてさえいれば、この間の酸化膜は特に必要無い。

【0028】また、側壁の配線は必ずしも容量の全周にわたっている必要は無く、一部が残りを迂回していれば良い事はいうまでもない。

【0029】(実施例2)図3は本発明の他の実施例の構造断面図であるが、この場合には容量部を左側のみテーパー角を大きくしてあり、そのために金属配線のエッチバック工程で右側のみで金属配線が残り易くなる。従って、図中右側のみに金属配線が形成された構造となる。この構造によれば部分的に金属配線を側壁の一部分にのみ残る様な形状であるので、上部電極と金属配線のショートが起こりにくく、歩留まりが向上する。

【0030】(実施例3)図4は他の実施例の構造断面図である。この場合には強誘電体8、下部電極a14、下部電極b15が左側に伸び、上部電極9よりも大きくなっており、上部電極から離れたところで金属配線13が残った構造になっている。この構造によれば部分的に金属配線を側壁の一部分にのみ残る様な形状であるので、上部電極と金属配線のショートが起こりにくく、歩留まりが向上する。

【0031】

【発明の効果】以上の実施例で述べた様に、本発明の容量及びその製造方法によれば、高集積化に適した強誘電

体及び高誘電体容量を、その誘電体膜を600℃以上の高温で成膜しても、コンタクト不良を生ずる事無しに得る事ができる。

【図面の簡単な説明】

【図1】本発明の容量の構造の一実施例の断面図である。

【図2】本発明の容量の製造方法の一実施例の工程断面図(a~f)である。

【図3】本発明の容量の構造の他の一実施例の断面図である。

【図4】本発明の容量の構造の他の一実施例の断面図である。

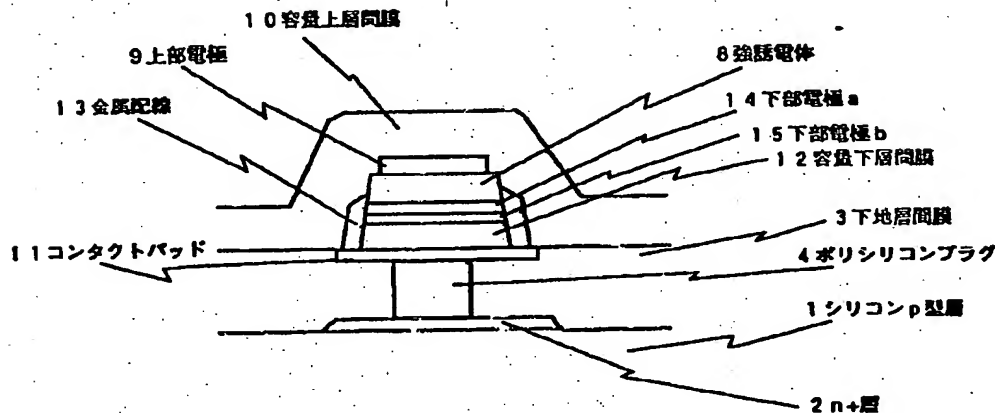
【図5】強誘電体を用いた半導体メモリの単位セルの一例の回路図である。

【図6】従来の強誘電体容量の構造の一例の断面図である。

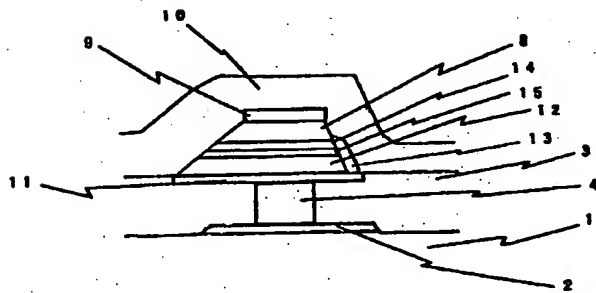
【符号の説明】

- 1 シリコンp型層
- 2 シリコンn⁺層
- 3 下地層間絶縁膜(SiO₂)
- 4 ポリシリコンプラグ
- 5 バリア層a(TiN)
- 6 バリア層b(Ti)
- 7 強誘電体下部電極(Pt)
- 8 強誘電体(Pb(Zr_{0.53}Ti_{0.47})O₃)
- 9 強誘電体上部電極(Pt)
- 10 容量上層間絶縁膜(SiO₂)
- 11 コンタクトパッド(WSi₂)
- 12 容量下層間絶縁膜(SiO₂)
- 13 金属配線(Al)
- 14 強誘電体下部電極a(Pt)
- 15 強誘電体下部電極b(Ti)

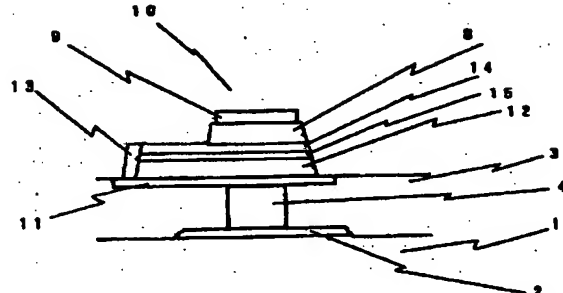
【図1】



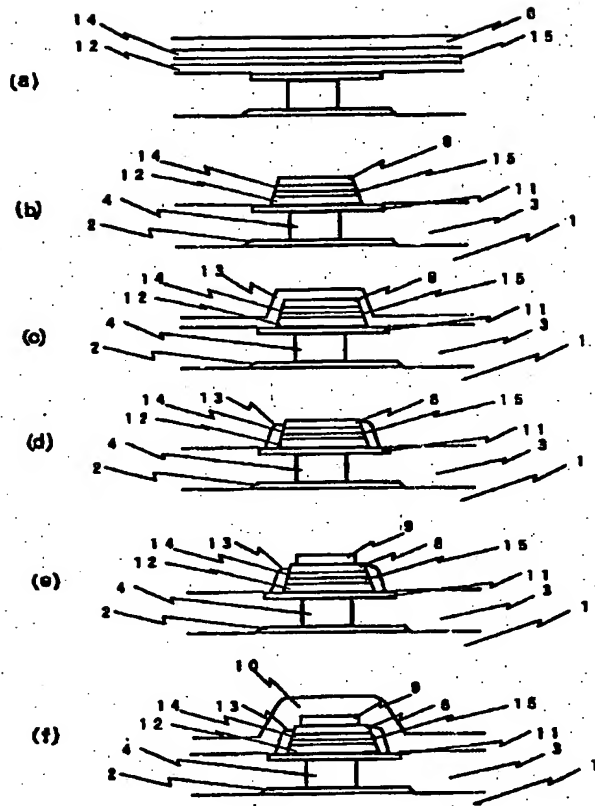
【図3】



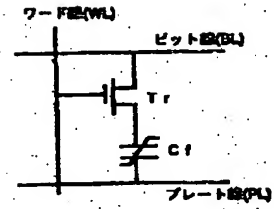
【図4】



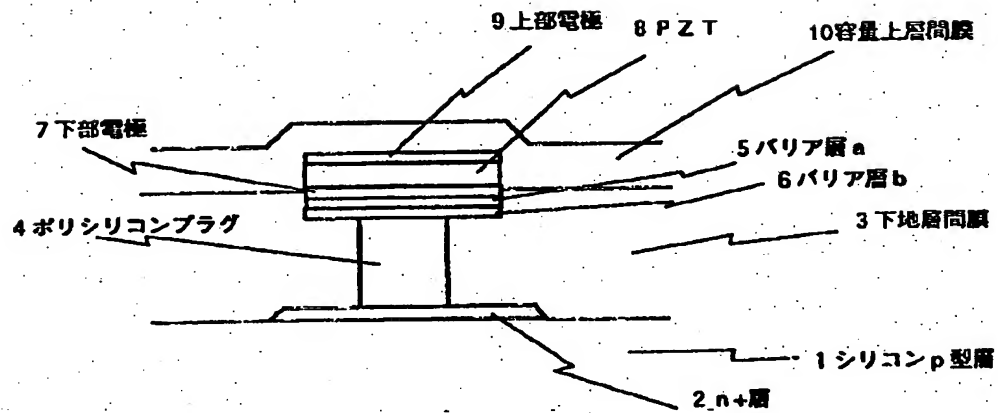
【図2】



【図5】



【図6】



(7)

特許第3039425号

フロントページの続き

(51) Int. Cl.⁷

H01L 27/04
27/108

識別記号

F I

H01L 27/10

651

*** NOTICES ***

JPO and NCIP are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.** shows the word which can not be translated.**

3.In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The capacitative element to which said contact plug is characterized by being larger than a lower electrode in either die length or width of face by said capacity lower layer mesenterium consisting of an insulating ingredient in the capacitative element to which it has the capacity which consists of an up electrode, a dielectric layer, and a lower electrode through the capacity lower layer mesenterium on a contact plug, and said contact plug and one electrode are connected electrically at least.

[Claim 2] The capacitative element to which said contact pad is characterized by being larger than a lower electrode in either die length or width of face by said capacity lower layer mesenterium consisting of an insulating ingredient in the

capacitive element to which it has the capacity which consists of an upper electrode, a dielectric layer, and a lower electrode through a contact pad and the capacity lower layer mesenterium on a contact plug, and said contact pad and one electrode are connected electrically at least. [Claim 3] The capacitive element according to claim 1 or 2 characterized by connecting the side face of said lower electrode to said contact plug or said contact pad, and an electric target at least in a part.

[Claim 4] Said dielectric layer is $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SrTiO_3 , and $\text{TiO}(\text{Ba}_{1-x}\text{Sr}_x)_3$. Claim 1 characterized by the thing to choose, and which shift and consists of that ingredient thru/or capacity given in three.

[Claim 5] Claim 1 characterized by forming the integrated circuit in the substrate semi-conductor substrate with which the flow is taken by said contact plug thru/or a capacitive element given in four.

[Claim 6] The first process which a desired configuration is processed [process] and exposes said contact section selectively on the contact section formed into the contact plug or the contact pad after carrying out the laminating of the capacity lower layer mesenterium, a lower electrode, and the dielectric layer, The manufacture approach of the capacitive element characterized by including the second process which makes a metallic material remain in the side-attachment-wall section of said lower electrode at least by forming a

metallic material after the first process on the whole surface, and carrying out anisotropic etching of said metallic material.

[Claim 7] The manufacture approach of a capacity according to claim 6 characterized by forming said metallic material by CVD using organic aluminum ingredient.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure and its manufacture approach of the capacitive element using dielectrics, such as a ferroelectric suitable for detailed-ization, or a high dielectric.

[0002]

[Description of the Prior Art] In order to compensate absolute value reduction of the storage capacity accompanying detailed-izing of the nonvolatile memory and DRAM which made the ferroelectric the insulator layer for storage capacity in recent years, development of the memory which made the high dielectric constant film the insulator layer for capacity is prosperous. It is a big technical

problem to apply a ferroelectric and a high dielectric to the LSI process of silicon in these cases. Since the fundamental structure is alike, below, DRAM using the nonvolatile memory and the high dielectric using a ferroelectric introduces the conventional technique about the former.

[0003] The so-called ferroelectric random-access memory which combined the capacity using a semi-conductor and a ferroelectric ($\text{Pb}(\text{Zr}_x \text{Ti}_{1-x}) \text{O}_3$, the following, PZT, and abbreviated name), for example, titanate-zirconium lead, memorizes "1" and "0" using the remanence of a ferroelectric. Since it is held even if this information disconnects a power source, operating as nonvolatile memory is known. The circuit diagram of that unit cell is shown in drawing 5 as this fundamental configuration. In this case, the unit cell has composition which combined one cell transistor (usually MOSFET of an n channel) T_r , and ferroelectric capacity C_f . The positive/negative of the remanence of C_f is decided by changing turning on and off of T_r , and the polarity of the electrical potential difference which carries out a seal of approval to C_f by controlling the electrical potential difference impressed to a bit line (BL and abbreviation), a word line (WL and abbreviation), and a plate line (PL and abbreviation).

[0004] Thus, the unit cell of ferroelectric memory consists of a cell transistor T_r and ferroelectric capacity C_f , and especially the structure of that ferroelectric capacity C_f has become the big factor which determines that degree of

integration. As the example, it is introduced to 843 pages (Technical Digest) of technical digests in a 1994 international electron device meeting (International Electron Device Meeting). The structure sectional view of the capacity in this case is shown in drawing 6. drawing – setting – 1 – a silicon p type layer and 2 – this n+ a layer and 3 – a substrate interlayer insulation film (SiO₂) and 4 – for barrier layer b (Ti) and 7, as for a ferroelectric (PZT) and 9, a ferroelectric lower electrode (Pt) and 8 are [a polish recon plug and 5 / the barrier layer a (TiN) and 6 / a ferroelectric up electrode and 10] capacity up interlayer insulation films (SiO₂). n+ used as the source drain of the cel transistor which the ferroelectric capacity which consists of a lower electrode, a ferroelectric, and an up electrode was formed on the polish recon plug 4 in this example, and was formed in the silicon substrate of a substrate The lower electrode 7 of ferroelectric capacity is electrically connected with a layer 2 with the polish recon plug 4. Since a cel transistor and ferroelectric capacity carry out a laminating and are formed with this structure, it is dramatically advantageous to integration of memory. The same is said of DRAM which used the high dielectric, and this structure is SrTiO₃ and TiO (Ba_{1-x} Sr_x)₃ as a high dielectric in this case instead of the above-mentioned ferroelectric (PZT). It is used and other components are completely the same.

[Problem(s) to be Solved by the Invention] The trouble of the structure of the capacity shown in drawing 6 is described below.

[0006] When manufacturing this structure, PZT8 is formed after forming barrier layer b(Ti) 6, the barrier layer a(TiN) 5, and the lower electrode 7 on the polish recon plug 4 first. Generally PZT forms membranes in an oxygen ambient atmosphere with a temperature of about 600 degrees C. The role of the above-mentioned barrier layers a and b is preventing oxygen's diffusing the inside of a lower electrode (Pt), and oxidizing the polish recon plug 4 under it in this case. That is, when a polish recon plug oxidizes, since the oxide of silicon is an insulating material, it cannot take a flow with a lower electrode and a polish recon plug. Therefore, the barrier layers a and b were made to intervene and this is prevented. While the laminated structure of the barrier layers a (TiN)/b (Ti) is effective in preventing diffusion of the oxygen to a polish recon plug at the temperature of 600 degrees C or less, this laminated structure itself does not oxidize. Therefore, if the ferroelectric film and a high dielectric film are formed on polish recon below 600 degrees C, it is effective as the barrier film, and a TiN/Ti laminated structure is the lower electrode 7 and n+. A flow with a layer 2 can be taken.

[0007] In PZT, membrane formation at 600 degrees C or less is possible, but it is, the ferroelectrics 2O9, for example, SrBi2 Ta, other than PZT. When it uses,

usually the membrane formation is performed in a 800-degree C oxygen ambient atmosphere. In this case, while the barrier layer a(TiN) 5 and barrier layer b(Ti) 6 oxidize thoroughly and these oxides are insulating materials, oxidation advances to a polish recon plug, and they are a lower electrode and n+. The flow of a layer cannot be obtained at all.

[0008] Moreover, even when membranes are generally formed below 600 degrees C like PZT with low membrane formation temperature, oxidation of a TiN layer is produced though it is few. For example, capacity size is 2 micrometers. When it becomes detailed to extent and accumulation magnitude increases, in a wafer side, it is not necessarily generated uniformly, especially such oxidation is produced selectively in many cases, and the poor contact for it is produced as the poor bit yield. Therefore, oxidation of a barrier layer and a polish recon plug poses a serious problem in the manufacture process of LSI which used the ferroelectric and the high dielectric, especially semiconductor memory.

[0009] Although it is necessary to change more into other heat-resistant high ingredients the barrier layer used for solving this here, the actual condition is that the ingredient which it does not oxidize [ingredient] at temperature higher than at least 600 degrees C, either, and does not make oxygen penetrate is not found by current.

[0010] The object of this invention is to offer [the structure which can form the capacity which consists of a ferroelectric or a high dielectric on the contact plug which consists of a polish recon plug etc., without producing defective continuity with a contact plug, and] the manufacture approach.

[0011]

[Means for Solving the Problem] In order to solve the problem, in the capacitative element of this invention, it is characterized by said capacity lower layer mesenterium consisting of an insulating ingredient in the capacitative element to which it has the capacity which consists of an up electrode, a dielectric layer, and a lower electrode through the capacity lower layer mesenterium on a contact plug, and said contact plug and one electrode are connected electrically. The barrier layer specifically conventionally prepared in the bottom of a lower electrode by connecting with said contact plug and electric target in a part of side face [at least] of a lower electrode becomes unnecessary. Here, the contact section may be performed through the polish recon plug from a semi-conductor substrate, and may be performed further through a contact pad on a plug. Therefore, it is unnecessary and the barrier film for the oxygen diffusion prevention on a polish recon plug is not. Contact of a layer and a lower electrode can be taken. Here, when taking the side face and contact of a lower electrode etc., a contact plug or a contact pad can make connection easy

by making it larger than a lower electrode in either die length or width of face at least. as the dielectric layer used in such structures – $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SrTiO_3 , and $\text{TiO}(\text{Ba}_{1-x}\text{Sr}_x)_3$ etc. – the ferroelectric ingredient used conventionally is raised.

[0012] As these manufacture approaches, moreover, on the contact section formed into the contact plug or the contact pad The first process at which a desired configuration is processed into and said contact section is selectively exposed after carrying out the laminating of the capacity lower layer mesenteriolum, a lower electrode, and the dielectric layer, A metallic material is formed after the first process on the whole surface, and it becomes the side-attachment-wall section of said lower electrode from the second process which makes a metallic material remain at least by carrying out anisotropic etching of said metallic material. It can be said that it is a desirable approach from the low dental-curing film with which forming said metallic material by CVD using organic aluminum ingredient especially does not have an adverse effect on formation of the metal section to the side-attachment-wall section and the property of a ferroelectric being possible. Specifically, the capacity lower layer mesenteriolum is formed on a semi-conductor substrate substrate. Next, after forming a lower electrode and a ferroelectric, a ferroelectric, a lower electrode, and the capacity lower layer mesenteriolum are processed collectively, and it

changes into the condition that the contact section in a semi-conductor substrate substrate was exposed. After forming metal wiring by MOCVD next, whole surface etchback of this is carried out by anisotropic etching. At this time, metal wiring remains in a part of side-attachment-wall section [at least] of the processed ferroelectric, a lower electrode, and the capacity lower layer mesenteriolum, and it becomes possible to take the flow between a lower electrode and the contact section.

[0013]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0014] The structure sectional view of the ferroelectric capacity of this invention is shown in drawing 1 . drawing -- setting -- 1 -- a silicon p type layer and 2 -- this n+ a layer and 3 -- a substrate interlayer insulation film and 4 -- a polish recon plug and 8 -- a ferroelectric and 9 -- for a contact pad and 12, as for metal wiring and 14, the insulator layer between capacity lower layers and 13 are [a ferroelectric up electrode and 10 / a capacity up interlayer insulation film and 11 / the ferroelectric lower electrode a and 15] the lower electrodes b.

[0015] Moreover, the process sectional view of the manufacture approach of the ferroelectric capacity of this invention is shown in drawing 2 (a) - (f). n+ Sequential membrane formation of the insulator layer 12 between capacity lower

layers, the lower electrode b15, the lower electrode a14, and the ferroelectric 8 is carried out on the structure in which the polish recon plug 4 and the contact pad 11 were formed on the layer 2 (drawing 2 (a)). Next, a ferroelectric 8, the lower electrode a14, the lower electrode b15, and the capacity lower layer mesenteriolum 12 are processed collectively, and it changes into the condition that the contact pad 11 was exposed (drawing 2 (b)). After forming metal wiring (aluminum etc.) on the whole surface (drawing 2 (c)), whole surface etchback of the metal wiring is carried out by approaches, such as reactive ion etching, and it changes into the condition that metal wiring remained only in the side-attachment-wall section of capacity as shown in drawing (drawing 2 (d)). Next, the up electrode 9 is formed (drawing 2 (e)), and the capacity up interlayer film 10 is further formed on this (drawing 2 (f)).

[0016]

[Example] Next, the example of this invention is explained to a detail with reference to a drawing.

[0017] (Example 1) Setting to drawing 1 , 1 is a silicon p type layer and 2 is this n+. Layer, 3 a polish recon plug and 8 for a substrate interlayer insulation film (SiO₂) and 4 A ferroelectric (PZT), 9 – for a contact pad (WSi₂) and 12, although ferroelectric lower electrode a (Pt) and 15 are lower electrode b (Ti), a ferroelectric up electrode and 10 a capacity up interlayer insulation film (SiO₂)

and 11 [the insulator layer between capacity lower layers (SiO_2), and 13] [metal wiring (aluminum) and 14] n+ The electrical installation of a layer 2 and the lower electrodes 14 and 15 is made through the metal wiring (aluminum) 13 and the contact pad (WSi_2) 11 of a capacity side attachment wall, and the polish recon plug 4. Although these wiring describes the manufacture approach later, in order that there may be no problems, such as oxidation in a production process, it is rare to produce poor contact. Moreover, since ferroelectric capacity is formed through a polish recon plug on a cel transistor, it is advantageous also to high integration of the semiconductor memory using ferroelectric capacity.

[0018] Next, the manufacture approach of the ferroelectric capacity of this invention is described. Drawing 2 (a) - (f) is the production process sectional view of one example of the ferroelectric capacity of this invention. n+ Sequential membrane formation of the insulator layer 12 between capacity lower layers, the lower electrodes 15 and 14, and the ferroelectric 8 is carried out on the structure in which the polish recon plug 4 and the contact pad 11 were formed on the layer 2 (drawing 2 (a)). Under the present circumstances, flattening of the capacity lower layer mesenteriolum (SiO_2) 12 before forming the lower electrode 15 is carried out by approaches, such as chemical mechanical polishing, and, in the contact pad, the thickness of the capacity lower layer mesenteriolum 12 on 200nm and a contact pad has become about 500nm. The lower electrode a14 is

Pt (200nm), and the thickness of Ti (50nm) and PZT of the lower electrode b15 is 200nm. Ti is put for improving adhesion of Pt and the capacity lower layer mesenteriolum into the bottom of Pt. Moreover, flattening is carried out because the membraneous quality of a ferroelectric 8 worsens on an irregular substrate.

[0019] Next, a ferroelectric 8, the lower electrodes 14 and 15, and the capacity lower layer mesenteriolum 12 are processed collectively, and it changes into the condition that the contact pad 11 was exposed (drawing 2 (b)). this – a photoresist – a mask – carrying out – CF₄ etc. – it is possible by approaches, such as reactive ion etching using gas, or ion milling using Ar. Moreover, especially in the case of reactive ion etching, terminal point detection of etching by the spectrographic analysis at the time of the contact pad (WSi₂) 12 being exposed is easy.

[0020] Next, metal wiring (aluminum) is formed on the whole surface (drawing 2 (c)). aluminum in this case is formed at the temperature of about 200 degrees C by MOCVD which used for example, the dimethyl aluminum hydride (DMAH). By the membrane formation approach using gaseous-phase chemical reactions, such as MOCVD, since it has good step coverage nature, aluminum is fully formed by the side-attachment-wall section of a capacity level difference.

[0021] Next, Cl₂ Whole surface etchback of the metal wiring (aluminum) is carried out by approaches, such as used reactive ion etching, (drawing 2 (d)). At

this time, since reactive ion etching is anisotropic etching, it can be changed into the condition that aluminum remained only in the side-attachment-wall section of capacity as shown in drawing. The contact pad 11 is electrically connected with the lower electrodes 14 and 15 by metal wiring of this side-attachment-wall section.

[0022] Next, the up electrode (about Pt:200nm) 9 is formed (drawing 2 (e)). After this forms Pt on the whole surface, it is accomplished by the ion milling which used the photoresist as the mask (drawing is omitted). Although PZT and aluminum may have an adverse effect on the ferroelectric property of PZT in response to the time of forming metal wiring (aluminum) on the whole surface previously, as for most, this reaction layer is also removed by the ion milling in this case.

[0023] Finally the capacity up interlayer film (SiO₂) 10 is further formed on this (drawing 2 (f)). SiO₂ by CVD using [have / at this / an adverse effect for example, on a ferroelectric property for example,] O₃ (ozone) and TEOS (tetra-ethoxy silane) It is used.

[0024] In case the ferroelectric capacity of the structure of this invention can be manufactured according to the above manufacture approach, but ferroelectric capacity is formed, they are still a lower electrode and n+. Electrical installation with a layer (or polish recon plug) cannot be performed, and in order to take

connection with metal wiring of a side attachment wall after processing ferroelectric capacity, the poor contact by oxidation of an electrode material is not produced like the former.

[0025] For example, although it is completely the same as the conventional example that Ti layer of the capacity lower electrode b oxidizes also in this structure at the time of PZT membrane formation, since the electrical installation with the polish recon plug 4 is based on aluminum of a side attachment wall, this does not become a problem. After side-attachment-wall wiring of a metallic material is formed, formation of a ferroelectric capacity up electrode and formation of a capacity up interlayer film are, but since each of these is performed at the temperature of 400 degrees C or less, the adverse effect to contact by this is not produced.

[0026] Although aluminum was used for metal wiring in this example, if there is the membrane formation approach of being other ingredients, for example, W and Cu, polish recon, etc., and not degrading a ferroelectric property, of course, this can also be used. Moreover, although the polish recon plug is used, as for this, other ingredients, for example, W etc., are usable similarly. Since there is little wiring of the LSI circuit formed in the substrate silicon layer, when distance of ferroelectric capacity and a substrate silicon layer can be made small, especially this plug or a contact pad does not have the need, and can also obtain

contact with a substrate and direct aluminum wiring.

[0027] Moreover, at this example, if flattening of the bottom of a lower electrode is carried out, it is clear and is through the bottom oxide film of capacity between the lower electrode of a ferroelectric, and a contact pad, especially an oxide film in the meantime does not have the need.

[0028] Moreover, it cannot be overemphasized that there is no need of not necessarily crossing wiring of a side attachment wall to the perimeter of capacity, and the part has just remained and flowed.

[0029] (Example 2) Although drawing 3 is the structure sectional view of other examples of this invention, only left-hand side has enlarged the taper angle for the part by volume in this case, therefore metal wiring becomes easy to remain only on the right-hand side at the etchback process of metal wiring. Therefore, it becomes the structure where metal wiring was formed only in the drawing Nakamigi side. Since it is the configuration which remains metal wiring in some side attachment walls selectively according to this structure, the short circuit of an up electrode and metal wiring cannot take place easily, and the yield improves.

[0030] (Example 3) Drawing 4 is the structure sectional view of other examples.

In this case, the ferroelectric 8, the lower electrode a14, and the lower electrode b15 are larger than elongation and the up electrode 9 on left-hand side, and it

has structure in which the metal wiring 13 remained in the place distant from the up electrode. Since it is the configuration which remains metal wiring in some side attachment walls selectively according to this structure, the short circuit of an up electrode and metal wiring cannot take place easily, and the yield improves.

[0031]

[Effect of the Invention] Even if it forms the dielectric film for the ferroelectric which was stated in the above example and which fitted high integration like according to the capacity and its manufacture approach of this invention, and high dielectric capacity at an elevated temperature 600 degrees C or more, it can obtain without producing poor contact.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of one example of the structure of the capacity of this invention.

[Drawing 2] It is the process sectional view (a-f) of one example of the manufacture approach of the capacity of half-invention.

[Drawing 3] It is the sectional view of other one example of the structure of the capacity of this invention.

[Drawing 4] It is the sectional view of other one example of the structure of the capacity of this invention.

[Drawing 5] It is the circuit diagram of an example of the unit cell of semiconductor memory using a ferroelectric.

[Drawing 6] It is the sectional view of an example of the structure of the conventional ferroelectric capacity.

[Description of Notations]

1 Silicon P Type Layer

2 Silicon N+ Layer

3 Substrate Interlayer Insulation Film (SiO₂)

4 Polish Recon Plug

5 Barrier Layer a (TiN)

6 Barrier Layer B (Ti)

7 Ferroelectric Lower Electrode (Pt)

8 Ferroelectric (Pb(Zr_{0.53}Ti_{0.47}) O₃)

9 Ferroelectric Up Electrode (Pt)

10 Capacity Up Interlayer Insulation Film (SiO₂)

11 Contact Pad (WSi₂)

12 Insulator Layer between Capacity Lower Layers (SiO₂)

13 Metal Wiring (Aluminum)

14 Ferroelectric Lower Electrode a (Pt)

15 Ferroelectric Lower Electrode B (Ti).